

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-016159

(43)Date of publication of application : 19.01.2001

(51)Int.Cl. H04B 7/26
 H04J 3/00
 H04J 13/00
 H04L 7/00

(21)Application number : 11-181164

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.06.1999

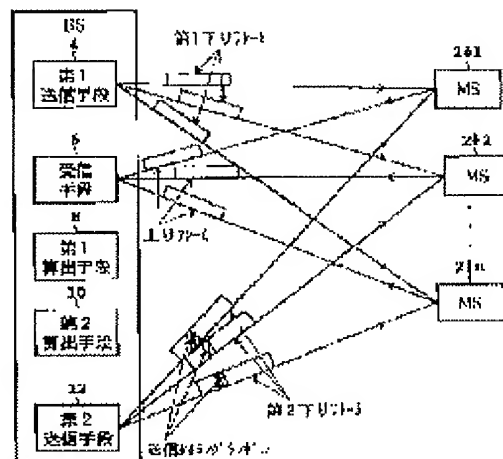
(72)Inventor : SATO TOMONORI
 FURUKAWA HIDETO

(54) BASE STATION AND MOBILE STATION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a base station and a mobile station with which interference does not occur by simultaneously receiving up frames from mobile stations.

SOLUTION: The base station for communicating with plural mobile stations is provided with a first transmission means 4 for transmitting a first down frame to the respective mobile stations, a reception means 6 for receiving up frames from the respective mobile stations and a first calculation means 8 for calculating second time showing propagation delay time for each mobile station on the basis of first time from reference time, when the first down frame is transmitted, to the reception of the reference position of the up frame due to the reception means. Then, the base station is provided with a second calculation means 10 for calculating the time of difference between every second time and reference delay time which is not shorter than the second time of all the mobile stations, and a second transmission means 12 for transmitting a second down frame to each mobile station while including a transmission timing symbol showing the quantity of delay from the reception of a signal to be the transmission reference of the second down frame at each mobile station to the transmission of the up frame on the basis of every differential time.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-16159

(P2001-16159A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.⁷

識別記号

F I

テレポート (参考)

H 0 4 B 7/26

H 0 4 B 7/26

N 5 K 0 2 2

H 0 4 J 3/00

H 0 4 J 3/00

H 5 K 0 2 8

13/00

H 0 4 L 7/00

Z 5 K 0 4 7

H 0 4 L 7/00

H 0 4 J 13/00

A 5 K 0 6 7

審査請求 未請求 請求項の数12 O L (全 18 頁)

(21) 出願番号 特願平11-181164

(22) 出願日 平成11年6月28日 (1999.6.28)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 佐藤 知紀

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 古川 秀人

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100075384

弁理士 松本 昂

最終頁に続く

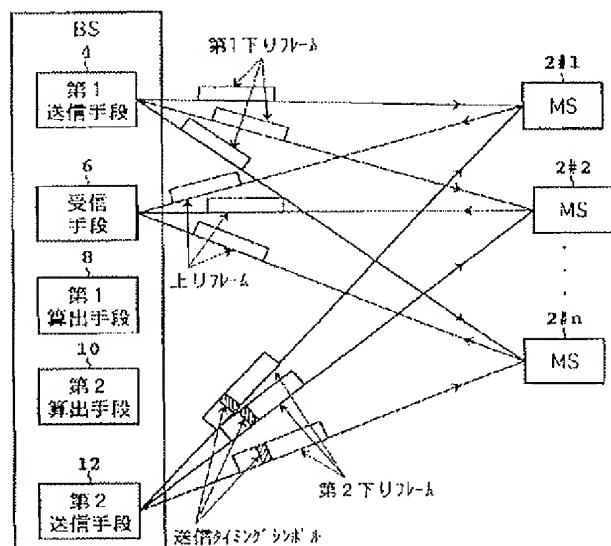
(54) 【発明の名称】 基地局及び移動局

(57) 【要約】

【課題】 移動局からの上りフレームを同時に受信して、干渉の生じることがない基地局及び移動局を提供する。

【解決手段】 複数の移動局との間で通信をする基地局において、第1下りフレームを各移動局に送信する第1送信手段と、上りフレームを各移動局から受信する受信手段と、第1下りフレームを送信した基準時刻から受信手段が上りフレームの基準位置を受信するまでの各第1時間に基づいて、各移動局毎との間の伝搬遅延時間を示す第2時間を算出する第1算出手段とを具備する。そして、各第2時間と、全ての移動局の第2時間よりも小さい基準遅延時間との差分時間を算出する第2算出手段と、各差分時間に基づき、各移動局が第2下りフレームの送信基準となる信号を受信してから上りフレームを送信するまでの遅延量を示す送信タイミングシンボルを含む第2下りフレームを各移動局に送信する第2送信手段とを具備する。

本発明の原理図



【特許請求の範囲】

【請求項1】 複数の移動局との間で通信をする基地局であって、

第1下りフレームを前記各移動局に送信する第1送信手段と、

上りフレームを前記各移動局から受信する受信手段と、
前記第1下りフレームを送信した基準時刻から前記受信手段が前記上りフレームの基準位置を受信するまでの各第1時間に基づいて、前記各移動局毎との間の伝搬遅延時間を示す各第2時間を算出する第1算出手段と、
前記各第2時間と、前記全ての移動局の前記第2時間よりも小さくない基準遅延時間との差分時間を算出する第2算出手段と、

前記各差分時間に基づき、前記各移動局が第2下りフレームの送信基準となる信号を受信してから上りフレームを送信するまでの遅延量を示す送信タイミングシンボルを含む前記第2下りフレームを前記各移動局に送信する第2送信手段と、
を具備したことを特徴とする基地局。

【請求項2】 前記第1送信手段は、基準シンボルを含む前記第1下りフレームを前記各移動局に送信し、
前記第1時間は、前記第1下りフレームを送信した基準時刻から前記基準シンボルに対する前記上りフレームの所定の位置に設定された応答シンボルを受信するまでの時間であることを特徴とする請求項1記載の基地局。

【請求項3】 複数の移動局との間で通信をする基地局であって、

第1下りフレームを前記各移動局に送信する第1送信手段と、

上りフレームを前記各移動局から受信する受信手段と、
前記各移動局の直前の送信タイミング遅延量を記憶する記憶手段と、

前記第1下りフレームを送信した基準時刻から前記受信手段が前記上りフレームの基準位置を受信するまでの各第1時間と前記各送信タイミング遅延量とに基づいて、
前記各送信タイミング遅延量を除いた前記各移動局毎との間の伝搬遅延時間を示す第2時間を算出する第1算出手段と、

前記各第2時間と、前記全ての移動局の前記第2時間よりも小さくない基準遅延時間との差分時間を算出する第2算出手段と、

前記各差分時間に基づいて、前記各移動局が第2下りフレームの送信基準となる信号を受信してから上りフレームを送信するまでの時間の前記直前の送信タイミング遅延量からのずれの遅延量を示す送信タイミングシンボルを含む前記第2下りフレームを前記各移動局に送信する第2送信手段と、

前記各送信タイミングシンボルと前記直前の各送信タイミング遅延量とに基づいて、前記記憶手段に記憶された前記各送信タイミング遅延量を更新する更新手段と、

を具備したことを特徴とする基地局。

【請求項4】 前記第1、第2下りフレーム及び前記上りフレームは、複数のスロットで構成され、前記第1下りフレームの前記各スロットの所定の第1エリアには、互いに異なる基準シンボルが設定され、前記第2下りフレームの前記各スロットの所定の第2エリアには、前記送信タイミングシンボルが設定され、前記上りフレームの前記各スロットの所定の第3エリアには、互いに異なる応答シンボルが設定され、

10 前記第1算出手段は、前記応答シンボルが前記基準シンボルに対する期待応答シンボルに一致するとき、前記第1時間を算出することを特徴とする請求項2記載の基地局。

【請求項5】 前記第1算出手段は、前記基準時刻に基づいてカウント動作を開始し、前記応答シンボルの受信タイミングに基づいてカウント動作を停止するカウンタを前記各移動局毎に具備したことを特徴とする請求項2記載の基地局。

【請求項6】 前記各遅延タイミングシンボルは、前記直前の送信タイミング遅延量を増加させる及び減少させるのいずれか一方を示す符号ビットとずれ量を示す遅延ビットからなることを特徴とする請求項3記載の基地局。

【請求項7】 前記各遅延タイミングシンボルは、前記直前の送信タイミング遅延量を所定時間だけ増加させる及び減少させるのいずれか一方を示す符号ビットのみからなることを特徴とする請求項3記載の基地局。

【請求項8】 前記第2算出手段は、
直前の前記基準遅延時間を記憶する記憶手段と、
前記全ての移動局の前記第2時間の最大値と前記記憶手段に記憶された前記基準遅延時間とを比較にして、比較結果に基づいて、前記基準遅延時間を更新する更新手段と、
を具備したことを特徴とする請求項1記載の基地局。

【請求項9】 符号分割多重接続方式により複数の移動局と通信をする基地局であって、

前記各移動局用の第1拡散コードにより拡散変調をして、第1下りフレームを送信する第1送信手段と、
前記各移動局より拡散された上りフレームを受信して、前記各移動局用の第2拡散コードにより逆拡散する受信手段と、
前記受信手段が前記各上りフレームを逆拡散して相関が得られたときの前記第2拡散コードの所定ビットによる逆拡散時刻である各第1逆拡散タイミング時刻を記憶する記憶手段と、

前記各第1逆拡散タイミング時刻に基づいて、前記各移動局との間の伝搬遅延による各第2逆拡散タイミング時刻を算出し、前記全ての第2逆拡散タイミング時刻よりも早くない基準逆拡散時刻を算出する第1算出手段と、
前記第2逆拡散タイミング時刻と前記基準逆拡散時刻と

の差分時間を算出する第2算出手段と、
前記各差分時間に基づき、前記各移動局が第2下りフレームの送信基準となる信号を受信してから上りフレームを送信するまでの遅延量を示す送信タイミングシンボルを含む前記第2下りフレームを前記各移動局に送信する第2送信手段と、

を具備したことを特徴とする基地局。

【請求項10】 符号分割多重接続方式により複数の移動局と通信をする基地局であって、

前記各移動局用の第1拡散コードにより拡散変調をして、第1下りフレームを送信する第1送信手段と、

前記各移動局より拡散された上りフレームを受信して、前記各移動局用の第2拡散コードにより逆拡散する受信手段と、

前記第1下りフレームを送信した基準時刻から前記受信手段が前記各上りフレームを逆拡散して相関が得られたときの前記第2拡散コードの所定ビットによる逆拡散時刻までの各第1時間に基づいて、前記各移動局毎との間の伝搬遅延時間を示す第2時間を算出する第1算出手段と、

前記各第2時間と、全ての移動局の前記第2時間よりも小さくない基準遅延時間との差分時間を算出する第2算出手段と、

前記各差分時間に基づき、前記各移動局が第2下りフレームの送信基準となる信号を受信してから上りフレームを送信するまでの遅延量を示す送信タイミングシンボルを含む前記第2下りフレームを前記各移動局に送信する第2送信手段と、

を具備したことを特徴とする基地局。

【請求項11】 基地局と通信をする移動局であって、
前記基地局から送信された下りフレームに設定された送信タイミングシンボルを取り出す抽出手段と、
制御信号に基づいて、所望の時間だけ遅延させる可変遅延手段と、

前記下りフレームの送信基準の信号を受信してから、前記送信タイミングシンボルにより指示される第1送信タイミング遅延量に基づいて、前記制御信号を出力する送信タイミング制御手段と、

を具備したことを特徴とする移動局。

【請求項12】 前記送信タイミング制御手段は、
前回の第2送信タイミング遅延量を記憶する記憶手段と、

前記第1送信タイミング遅延量と前記第2送信タイミング遅延量とを加算して、今回の第3送信タイミング遅延量を算出する算出手段と、

前記第3送信タイミング遅延量に基づいて、前記制御信号を出力する制御手段と、

前記記憶手段に記憶された前記第2送信タイミング遅延量を前記第3送信タイミング遅延量に更新する更新手段と、

を具備したことを特徴とする請求項1記載の移動局。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基地局（BS）及び移動局（MS）に関し、特に、符号分割多重接続（以下、CDMA:Code Division Multiple Access）システム等において、MSからBSへの送信タイミング制御に関する。

【0002】

【従来の技術】携帯電話、PHSの急速な普及、携帯型パソコンやインターネットの浸透に伴い、移動データ通信やモバイルマルチメディアに対する要求が高まってきている。現在、研究開発が進められている次世代の移動体通信システムでは、これらの新しいサービスやアプリケーションに対応できる無線インタフェースが求められており、CDMA方式がそのアクセス方式として注目されている。

【0003】CDMA方式は、送信側では、送信信号を、拡散コードを用いて拡散変調して、送信し、受信側では、拡散変調された信号を送信側と同一の拡散コードを用いて逆拡散して、復調する。これによりCDMA方式は、高い周波数利用率に加えて、伝送レートに対する柔軟性と高速データ伝送特性において優れた特長を持っている。ここで、拡散コードは各MS毎に割り当てられた拡散コードであり、互いに直交する。

【0004】従来、MSの送信タイミング制御は、全てのMSの送信タイミングを同時にして同期をとるべく、MSがBSの各スロットを受信した後、固定時間（例えば、0.5スロット（ $625/2 \mu\text{sec}$ ））後に送信するように、MS側で制御している。そのため、上り（MS→BS）回線における伝搬遅延には対処していない。

【0005】

【発明が解決しようとする課題】複数のMSと複数のBSで構成されたCDMAセルラーでは、上述したように、他のMSの信号と区別するため自局の信号に対して相関特性のある拡散コードを用いて変調する。広帯域に拡散した信号 $S(t)$ から元の信号 $B(t)$ を得るためには、送信側でスペクトル拡散に使用したものと同一信号 $C(t)$ を受信信号に乗算しなければならない。このとき、受信側で発生させる $C(t)$ のタイミングと位相が受信信号に含まれている信号と同期している必要がある。

【0006】上り回線の信号に着目する。MS(1)の受信信号を $S_1(t)$ 、受信信号に乗算する信号を $C_1(t)$ 、MS(2)の受信信号を $S_2(t)$ 、受信信号に乗算する信号を $C_2(t)$ とする。

【0007】MS1の送信データを（1，-1）、MS2の送信データを（1，1）、 $C_1(t)$ の拡散コードを（1，-1，-1，1，1，-1，-1，1）、 C_2

(t) の拡散コードを $(1, 1, -1, -1, 1, 1, -1, -1)$ とする。

【0008】すると、 $S_1(t) = ((1, -1, -1, 1, 1, -1, -1, 1), (-1, 1, 1, -1, -1, 1, 1, -1))$ 、 $S_2(t) = ((1, 1, -1, -1, 1, 1, -1, -1), (1, 1, -1, -1, 1, 1, -1, -1))$ となる。

【0009】BSでは、信号 $S_1(t)$ と $S_2(t)$ を同時に受信した場合、逆拡散タイミングは同じになる。MS1の送信データを復調するために、 $S_1(t)$ をC1(t)で逆拡散すると、8ビットで規格化した相関値は、 $S_1(t)$ の最初の8ビットの相関値は $8/8$ 、残りの8ビットの相関値は $-8/8$ となり、相関値があるのでMS(1)の受信データは、 $(1, -1)$ となる。

【0010】このとき同じタイミングで受信している信号 $S_2(t)$ について、C1(t)で逆拡散することになるが、各々の相関値は $0/8$ 、 $0/8$ となり相関がないので、MS(2)の受信データは、拡散コードC1(t)では復調されず、フィルタにより除去される。このように受信した信号全ての逆拡散タイミングが同じであれば、他のMSの受信信号による干渉が起きない。

【0011】しかし、BSとMSの距離はMSのいる場所によって異なる。これによって、信号 $S_1(t)$ をC1(t)で逆拡散するとき、信号 $S_2(t)$ についても相関が存在する場合があります、信号 $S_2(t)$ により $S_1(t)$ の受信信号に干渉が生じる。

【0012】本発明の目的は、全てのMSからの受信信号の逆拡散タイミングを同時にして、各MSからの受信信号の干渉を防止するBS及びMSを提供することである。

【0013】

【課題を解決するための手段】本発明の第1側面によれば、複数のMS(i) ($i = 1 \sim n$) との間で通信をするBSであって、第1下りフレームを前記各MS(i) に送信する第1送信手段と、上りフレームを前記各MS(i) から受信する受信手段とを具備する。

【0014】そして、前記下りフレームを送信した基準時刻から前記受信手段が前記上りフレームの基準位置を受信するまでの各第1時間に基づいて、前記各MS(i) との間の伝搬遅延時間を示す第2時間を算出する第1算出手段と、前記各第2時間と、全てのMS(i) ($i = 1 \sim n$) の前記第2時間よりも小さくない基準遅延時間との差分時間を算出する第2算出手段とを具備する。

【0015】更に、前記各差分時間に基づき、前記各MS(i) が第2下りフレームの送信基準となる信号を受信してから上りフレームを送信するまでの遅延量を示す送信タイミングシンボルを含む前記第2下りフレームを前記各MS(i) に送信する第2送信手段を具備したことを特徴とするBSが提供される。

【0016】このような構成によれば、BSと各MS

(i) との間の距離により、BSとMS(i) 間の伝搬時間が異なるが、第1算出手段により、MS(i) への第1下りフレームの送信タイミングとMS(i) からの上りフレームの受信タイミングからBSとMS(i) 間の伝搬時間を測定する。

【0017】第2算出手段により、各MS(i) の伝搬時間から、基準遅延時間と伝搬時間との差分時間を求める。第2送信手段により、差分時間に従って、送信タイミング遅延量を示す送信タイミングシンボルを送信する。各MS(i) は、送信タイミングシンボルに従って、送信遅延制御するので、全てMS(i) からの上りフレームは同時にBSで受信される。

【0018】本発明の他の側面によれば、符号分割多重接続方式により複数のMS(i) と通信をするBSであって、前記各MS(i) 用の拡散コードを用いて拡散変調をして、第1下りフレームを送信する第1送信手段と、前記第1下りフレームの送信基準となる信号の受信時刻に基づいて前記各MS(i) より送信された上りフレームが拡散された前記拡散コードの所定ビット位置が検出された各拡散タイミング時刻を記憶する記憶手段とを具備する。

【0019】そして、前記各拡散タイミング時刻に基づいて、前記全ての逆拡散タイミング時刻よりも早くない基準逆拡散時刻を算出する第1算出手段と、前記各拡散タイミング時刻と前記基準逆拡散時刻との差分時間を算出する第2算出手段と、前記各差分時間に基づき、前記各MS(i) に第2下りフレームの送信基準となる信号を受信してから上りフレームを送信するまでの遅延量を示す送信タイミングシンボルを含む前記第2下りフレームを前記各MS(i) に送信する第2送信手段とを具備したことを特徴とするBSが提供される。

【0020】本発明のさらに他の側面によれば、BSと通信をするMSであって、前記BSから送信された上りフレームに設定された送信タイミングシンボルを取り出す抽出手段と、制御信号に基づいて、所望の時間だけ遅延させる可変遅延手段と、前記上りフレームの送信基準の信号を受信してから、前記送信タイミングシンボルより指示される第1送信タイミング遅延量に基づいて、前記制御信号を出力する送信タイミング制御手段とを具備したことを特徴とするMSが提供される。

【0021】

【発明の実施の形態】本発明の実施形態を説明する前に、本発明の原理を説明する。図1は、本発明の原理ブロック図である。図1に示すように、本発明によるBSは、第1下りフレームを各MS2# i ($i = 1 \sim n$) に同時に送信する第1送信手段4と、上りフレームを各MS2# i から受信する受信手段6とを具備する。

【0022】また、第1下りフレームを送信した基準時刻から受信手段6が上りフレームの基準位置を受信する

10

20

30

40

50

までの各第1時間に基づいて、各MS2#iとの間の伝搬遅延時間を示す第2時間を算出する第1算出手段10と、各第2時間と、全てのMS2#i ($i=1\sim n$)の第2時間よりも小さくない基準遅延時間との差分時間を算出する第2算出手段12とを具備する。

【0023】更に、各差分時間に基づき、各MS2#iが第2下りフレームの送信基準となる信号を受信してから上りフレームを送信するまでの遅延量を示す送信タイミングシンボルを含む第2下りフレームを各MS2#iに送信する第2送信手段14を具備する。

【0024】第1送信手段4は、全てのMS2#i ($i=1\sim n$)に同時に第1下りフレームを送信する。MS2#iは、第1下りフレームの基準位置を受信してから、固定時間T0遅延して、上りフレームをBSに送信する。

【0025】BSと各MS2#iとの間の距離により、伝搬時間が各MS2#i毎に相違する。受信手段6は、第1送信手段4が基準位置の第1下りフレームを送信してから、 $(T_{tx}(i) + T_0 + T_{rx}(i))$ ($T_{tx}(i)$ は第1下りフレームの伝搬時間、T0は固定時間、 $T_{rx}(i)$ は上りフレームの伝搬時間)後に、上りフレームの受信を開始する。

【0026】第1算出手段10は、第1下りフレームを送信した基準時刻から受信手段6が上りフレームの基準位置を受信するまでの各第1時間に基づいて、各MS2#iとの間の伝搬遅延時間、例えば、 $T_{tx}(i) + T_{rx}(i)$ を示す第2時間を算出する。尚、第2時間は、全てのMS2#iに共通の固定遅延時間T0を含んでも良い。

【0027】第2算出手段12は、全ての第2時間より小さくない基準時間 T_{dref} 、例えば、全てのMS2#iについての第2時間の最大値と、第2時間の差分時間 $\alpha(i)$ 、例えば、 $\alpha(i) = (T_{dref} - (T_{tx}(i) + T_{rx}(i)))$ を算出する。

【0028】第2送信手段14は、差分時間に従って、MS2#iが第2下りフレームの送信基準となる信号を受信してから上りフレームを送信するまでの遅延量を示す送信タイミングシンボル(例えば、差分時間又は差分時間+固定遅延量)を含む第2下りフレームを各MS2#iに送信する。

【0029】各MS2#iは、第2下りフレームの送信基準となる信号を受信すると、送信タイミングシンボルで指示される時間、差分時間+固定遅延量だけ遅延して、上りフレームを送信する。これにより、全てMS2#iからの上りフレームは、送信手段14が第2下りフレームの送信基準を送信してから、一定の(固定遅延量+基準時間 T_{dref})後に、同時に受信される。

【0030】例えば、受信された上りフレームが拡散コードで拡散されたスペクトル拡散信号であれば、BSでは、MS2#iからの上りフレームを逆拡散したとき、

他のMS#j ($j \neq i$)からの上りフレームによる干渉を防止することができる。

【0031】第1実施形態

図2は、本発明の基地局(BS)の実施形態を示す図である。図2に示すように、各BS20#j ($j=1\sim m$)は、例えば、広帯域CDMA(W-CDMA)方式の基地局であり、複数のアンテナ22#j、送受信増幅部24#j、無線部26#j、ベースバンド信号処理部28#j、無線基地局制御部30#j及び有線伝送路インタフェース部32#jを具備する。

【0032】各アンテナ22#jは、複数のMS(i) ($i=1\sim n$)との間で送受信を行う。送受信増幅部24#jは、送信RF信号を増幅する送信アンプと受信RF信号を増幅する低雑音アンプを装備し、RF送信信号とRF受信信号を多重・分離して、アンテナ22#jに接続する。

【0033】無線部26#jは、ベースバンド信号処理部28#jでスペクトル拡散された送信信号をD/A変換して、例えば、W-CDMA帯域(1.9G~2.1G)に周波数変換して、RF信号に変換する。また、受信アンプからの受信信号を準同期検波し、A/D変換して、ベースバンド信号処理部28#jに伝送する。

【0034】ベースバンド信号処理部28#jは、送信データについては、送信データの誤り訂正符号化(例えば、畳み込み符号化)、フレーム化、データ変調(例えば、BPSK変調)及び拡散変調をする。

【0035】また、受信データについては、受信信号の逆拡散、チップ同期、誤り訂正復号、データの多重分離及びセクタ間ダイバーシチハンドオーバー時の最大比合成等のベースバンド信号処理を行う。

【0036】更に、全てのMS(i)からの受信信号の逆拡散タイミングが同時になるように、送信タイミング制御をする。

【0037】無線基地局制御部30#jは、無線制御・交換模擬装置34との間で制御信号の送受信を行い、無線回線管理、無線回線の設定解放などを行う。有線伝送路インタフェース部32#jは、局間伝送路インタフェース部であり、ATM処理機能、ALL-Type2, Type5機能を有する。また、無線制御・交換模擬装置34とBS20#j間の制御信号に対しては、SSCOP機能を提供する。

【0038】図3は、図2中のベースバンド信号処理部の構成図である。図3に示すように、ベースバンド信号処理部28#jは、受信系回路36、送信系回路38及び送信タイミング制御回路56から構成される。

【0039】受信系回路36は、復調回路40#i ($i=1\sim n$)、デフレーム化回路42#i ($i=1\sim n$)、デインタリーブ回路44#i ($i=1\sim n$)及び復号化回路46#i ($i=1\sim n$)を有する。

【0040】復調回路40#iは、受信信号の逆拡散、

チップ同期及びデータ復調(BPSK)を行う。デフレーション化回路42#iは、フレームを分解して、フレームを構成する各スロットに含まれる信号を取り出す。デインタリーブ回路44#iは、インタリーブされた受信信号をデインタリーブする。復号化回路46#iは、ビット復号などにより誤り訂正復号をする。

【0041】送信系回路38は、符号化回路48#i(i=1~n)、インタリーブ回路50#i(i=1~n)、フレーム化回路52#i(i=1~n)及び変調回路54#i(i=1~n)を有する。

【0042】符号化回路48#iは、畳み込み符号化等により送信データの誤り訂正符号化を行う。インタリーブ回路50#iは、送信データをインタリーブする。フレーム化回路52#iは、無線基地局制御部30#jの指示に従って、フレームを構成する各スロットにパイロットシンボル、基準シンボル、送信タイミングシンボル、データシンボルなどを挿入して、フレーム化する。変調回路54#iは、BPSK方式などにより変調し、MS(i)に割り当てた拡散コードを用いてスペクトル拡散変調をする。

【0043】送信タイミング制御回路56は、以下の機能を有する。

【0044】① 下りフレームを構成する各スロットに設定する基準シンボルを生成する。尚、下りフレーム構成の一例については、後述する。

【0045】② 下りスロットの基準となる信号、例えば、基準シンボルを送信するタイミング時刻とデフレーション化回路42#iから入力されるMS(i)からの上りスロットの基準となる信号、例えば、スロットに設定される基準シンボルに対する応答シンボルの受信時刻とから、MS(i)とBS20#jとの間の送信タイミング制御されていない純粋な伝搬時間時間を測定する。

【0046】尚、以降においても使用する「送信タイミング制御」という用語は、各MS(i)が、スロットを受信してから、固定遅延量(例えば、0.5スロット)だけ遅延してから上りスロットを送信する制御を含まず、MS(i)の伝搬時間に応じた送信タイミング制御をいう。

【0047】③ 全てのMS(i)の純粋な伝搬遅延時間の最大値を求めて、基準伝搬時間 T_{dref} とする。

【0048】④ 基準伝搬時間 T_{dref} とMS(i)の純粋な伝搬時間との差分 $\alpha(i)$ を求めて、下りスロットに設定する送信タイミングシンボルを作成する。

【0049】図4は、下り信号(BS→MS)のフレーム、スロットの構成例を示す図である。図4に示すように、下り信号の各フレームは、複数、例えば、16個のスロット#0~#15から構成される。各スロット#iは、パイロットシンボル、基準シンボル、送信タイミングシンボルなどの制御シンボルと、音声などの情報データを示すデータシンボルからなる。

【0050】パイロットシンボルは、スロットの先頭を指示するシンボルである。基準シンボルは、所定のビットパターンでの伝搬時間測定用の信号である。送信タイミングシンボルは、MS(i)がスロットの送信基準ビット、例えば、スロットの最終ビットを受信してから、送信するまでの遅延量を指示する送信タイミング遅延量が設定される。

【0051】送信タイミングシンボルには、固定遅延量(例えば、0.5スロット)を含む全体の遅延量を含むようにしてもよいが、送信タイミングシンボルのビット数低減してスロットを有効使用する観点から、本実施形態では、システムで予め固定遅延量を取り決めておき、送信タイミングシンボルには、含まないものとする。

【0052】送信タイミングシンボルが指示する遅延量は、基準クロックのクロック数でも、絶対時間でも良いが、本実施形態では、BS20#jの拡散コードを生成するクロック周波数の倍数のマスタクロック周波数(例えば、32MHz)の基準クロックのクロック数とする。

【0053】図5は、上り信号(MS→BS)のフレーム、スロットの構成例を示す図である。図5に示すように、上り信号のフレームは、図4に示した下り信号のフレームと同じ数のスロット、例えば、16個からなる。

【0054】各スロット#iは、パイロットシンボル、応答シンボル及び下りスロットの応答タイミングシンボルに相当するビット位置のダミーシンボルなどの制御シンボル及びデータシンボルからなる。パイロットシンボル及びデータシンボルの意味は、下り信号と同じである。応答シンボルは、基準シンボルに対応する所定のビットパターン、例えば、基準シンボルと同じシンボル、である。

【0055】図6は、本発明の第1実施形態による送信タイミング制御回路の構成図である。図6に示すように、送信タイミング制御回路56は、基準シンボル生成回路60、MS(i)伝搬時間測定回路62#i(i=1~n)、基準伝搬時間検出回路68、MS(i)送信タイミング遅延量メモリ回路70#i(i=1~n)及びMS(i)送信タイミングシンボル算出回路72#i(i=1~n)を有する。

【0056】基準シンボル生成回路60は、所定ビットのMS(i)(i=1~n)基準シンボルを生成してフレーム化回路52#iに出力すると共に、基準シンボル送信タイミング信号を有効にして、全てのMS(i)伝搬時間測定回路62#iに同時に出力する。

【0057】基準シンボル送信タイミング信号を有効にするタイミングは、下りスロットを送信する前であって、全てのMS(i)伝搬時間測定回路62#iに同時にあれば良く、例えば、MS(i)基準シンボルをフレーム化回路52#iに出力するタイミングとする。尚、

10

20

30

40

50

MS (i) 基準シンボルは、全てのMS (i) について同一であっても異なってもよい。

【0058】各MS (i) 伝搬時間測定回路62#iは、複数のJKFF64#i及びカウンタ66#iを有する。JKFF64#i及びカウンタ66#iの個数は、基準シンボル送信タイミング信号を有効(カウンタ66#iをリセット)してから、応答タイミング受信タイミング信号が有効になるまでに、(基準シンボル送信タイミング信号が有効になる回数+1)個である。

【0059】JKFF64#iは、基準シンボル送信タイミング信号が有効になると、カウンタ66#iのイネーブル端子にイネーブル信号を出力し、応答シンボル受信タイミング信号が有効になると、カウンタ66#iのイネーブル端子にデセーブル信号を出力する。

【0060】カウンタ66#iは、イネーブル端子がイネーブルになると、リセットされて、マスタクロックに同期して、カウント動作を開始し、イネーブル端子がデセーブルになると、カウント動作を停止する。

【0061】即ち、MS (i) 伝搬時間測定回路62#iは、基準シンボル送信タイミング信号が有効になってから、応答シンボル受信タイミング信号が有効になるまでの時間をマスタクロック換算で測定する。尚、絶対時間に変換して出力しても良い。

【0062】基準伝搬時間検出回路68は、MS (i) 伝搬時間測定回路62#iが測定した各MS (i) の伝搬時間から、送信タイミング遅延量を除去(減算)して、核MS (i) とBS20#jとの間の送信タイミング制御がされていない純粋な伝搬遅延時間を算出する。

【0063】本実施形態では、MS (i) が移動することにより伝搬時間が動的に変わっていくことも考えられることから、MS (i) の送信タイミング制御は、常時、行っているため、MS (i) 伝搬時間測定回路62が測定した伝搬時間には、一般には、送信タイミング遅延量が含まれる。そのために、各MS (i) の伝搬時間から送信タイミング遅延量を除去する。尚、送信タイミング遅延量には、固定遅延量が含まれても良いが、本実施形態では、固定遅延量は含まないものとする。

【0064】各MS (i) の純粋な伝搬遅延時間を比較して、最大伝搬時間もしくは最大伝搬時間+数マスタクロック遅延時間を基準伝搬時間 T_{dref} として、算出する。

【0065】図7は、図6中のMS (i) 送信タイミングシンボル算出回路の構成図である。図7に示すように、MS (i) 送信タイミングシンボル算出回路72#iは、減算器74#i、76#iを有する。

【0066】減算器74#iは、MS (i) 伝搬時間測定回路62#iの出力であるMS (i) 伝搬遅延時間信号から送信タイミング遅延量を除去して、純粋な伝搬時間を求める。

【0067】減算器76#iは、基準伝搬時間 T_{dref} と

純粋な伝搬時間との差分をMS (i) 送信タイミングシンボル信号として、フレーム化回路52#iに出力すると共に、送信タイミング遅延量として、MS (i) 送信タイミング遅延量メモリ回路70#iに出力する。

【0068】MS (i) 送信タイミング遅延量メモリ回路70#iは、送信タイミング遅延量を記憶する。尚、MS (i) の送信タイミング制御前は、無線基地局制御部30#jにより、0がMS (i) 送信タイミング遅延量メモリ回路70#iに書き込まれる。

【0069】図8は、本発明のMSの実施形態を示す図である。図8に示すように、各MS (i) は、アンテナ82、送受信増幅部84、無線部86、ベースバンド信号処理部88、制御部90及びCODEC94とADP96を含む端末インタフェース部92を具備する。

【0070】アンテナ82は、送信アンプで増幅された上りRF信号を送信し、またBSから下りRF信号を受信し、送受信増幅部84に接続する。送受信増幅部84は、送信RF信号を増幅する送信アンプと受信RF信号を増幅する低雑音アンプを装備し、RF送信信号とRF受信信号を多重・分離して、アンテナ82に接続する。

【0071】無線部86は、ベースバンド信号処理部88により拡散された送信信号をA/D変換し、周波数変換して、RF信号に変換する。受信アンプからの受信信号を準同期検波し、A/D変換して、ベースバンド処理部88に伝送する。

【0072】ベースバンド信号処理部88は、送信信号については、送信データの誤り訂正符号化、フレーム化、データ変調、拡散変調をし、受信信号については、受信信号の逆拡散、チップ同期、誤り訂正復号、データの多重・分離、セクタ間タイパシハンドオーバー時の最大合成などのベースバンド信号処理を行う。更に、下り信号の基準シンボルに従って、応答シンボルを含むスロットの生成及び下りスロットに含まれる送信タイミングシンボルに従って、送信制御をする。

【0073】制御部90は、制御信号の送受信を行う無線制御機能を有する。端末インタフェース部92は、音声CODEC、データ用アダプタ機能(ADP)を有し、ハンドセット及び外部データ端末とのインタフェース機能を有する。

【0074】図9は、本発明の第1実施形態による図8中のベースバンド信号処理部88の構成図である。図9に示すように、ベースバンド信号処理部88は、受信系回路100、送信系回路102、送信タイミング制御回路120及び応答シンボル生成回路122から構成される。

【0075】受信系回路100は、復調回路104、デフレーム化回路106、デインタリーブ回路108及び復号化回路110を有する。復調回路104、デインタリーブ回路108及び復号化回路110は、図3中の復調回路40#i、デインタリーブ回路44#i及び復号

化回路46#iと実質的に同一なので説明を省略する。

【0076】デフレーム化回路100は、受信スロットから基準シンボル、送信タイミングシンボル及びデータシンボルを取り出し、基準シンボルを応答シンボル生成回路122に出力し、送信タイミングシンボルを送信タイミング制御回路120に出力し、データシンボルをデインタリーブ回路108に出力する。

【0077】送信系回路102は、符号化回路112、インタリーブ回路114、フレーム化回路116及び変調回路118を有する。符号化回路112、インタリーブ回路114及び変調回路118は、図3中の符号化回路48#i、インタリーブ回路50#i及び変調回路54#iと実質的に同一なので説明を省略する。

【0078】フレーム化回路116は、BS20#jから下りスロットの所定の送信基準の信号（例えば、データシンボルの最終ビット）を受信してから固定遅延量（例えば、0.5スロット）後に、各上りスロットにパイロットシンボル、応答シンボル、ダミーシンボルなどの制御シンボル及びデータシンボルを設定すると共に、送信タイミング制御回路120の制御に従って、送信タイミングシンボルで指示される遅延量だけスロットを遅延して、出力する。

【0079】遅延制御は、例えば、最大遅延量に相当するビット長のシフトレジスタを構成するフリップフロップの出力を送信タイミング制御回路120からの選択信号に従って、セレクトにより選択することにより制御することができる。

【0080】送信タイミング制御回路120は、送信タイミングシンボルが入力されると、送信タイミングシンボルにより指示される遅延量で、スロットを遅延させる。例えば、シフトレジスタを構成する該当段のFFの出力を選択するようセレクトに選択信号を出力する。応答シンボル生成回路122は、基準シンボルが入力されると、基準シンボルに該当する応答シンボル（例えば、基準シンボル）を生成して、フレーム化回路116に出力する。

【0081】図10は、本発明の第1実施形態のタイムチャートである。

【0082】以下、図2～図7の動作説明をする。

【0083】BS20#jでは、MS(i)の送信タイミング制御を開始する際に、無線制御部30#jは、送信タイミング制御回路56中のMS(i)の送信タイミングを制御するためのMS(i)送信タイミング遅延量メモリ回路70#iに0を書き込む。

【0084】基準シンボル生成回路60は、各MS(i)基準シンボル信号を生成して、フレーム化回路52#iに出力すると共に、基準シンボル送信タイミング信号を同時に有効にして、MS(i)伝搬遅延時間測定回路62#iの該当するJKFF64#iに同時に出力する。該当するJKFF64#iは、例えば、基準シン

ボル送信タイミング信号をクロックとして動作するJKFF64#iの個数ビットカウンタの出力値により制御する。

【0085】JKFF64#iは、基準シンボル送信タイミング信号が有効になると、カウンタ66#iのイネーブル端子を有効にする。カウンタ66#iは、イネーブル端子が有効になると、リセットして、マスタクロックに従って、カウント開始する。

【0086】基準伝搬時間検出回路68は、カウンタ66#iがカウント動作をストップして、MS(i)の伝搬時間が測定されるまでは、MS(i)送信タイミングシンボル算出回路68#iに基準伝搬時間を出力しない。

【0087】MS(i)送信タイミングシンボル算出回路68#iは、基準伝搬時間が出力されていないので、MS(i)送信タイミングシンボル信号=0をフレーム化回路52#iに出力する。

【0088】フレーム化回路52#iは、各スロット#j(j=0~15)に、パイロットシンボル、送信タイミング制御回路56から入力される基準シンボル信号及び送信タイミングシンボルの制御シンボルを図4に示すスロット構成の各所定のビット位置に設定する。

【0089】そして、有線伝送路インタフェース部32#jを通して、符号化回路48#i及びインタリーブ回路50#iより入力されるデータシンボルを制御シンボルに後続して設定する。

【0090】変調回路54#iは、BPSK方式などによりデータ変調をし、MS(i)の拡散コードで拡散変調をして、無線部26#jに出力する。無線部26#jは、ベースバンド信号処理部28#jで拡散された送信信号をD/A変換などをして、RF信号に変換して、アンテナ22よりMS(i)に送信する。これにより、各MS(i)に対して、図10に示すように、基準シンボル及び送信タイミングシンボルを含むスロットが同時に送信される。

【0091】図10に示すように、BS20#jから下りスロットが送信されてから伝搬遅延時間 $T_{ix}(i)$ だけ遅延して、図8中のMS(i)のアンテナ82で受信される。送受信増幅部84は、受信RF信号を増幅する。無線部86は、受信アンプからの受信信号を準同期検波し、A/D変換して、ベースバンド信号処理部88に伝送する。

【0092】図9中の復調回路104は、受信信号を拡散コードを用いて逆拡散し、チップ同期を取る。デフレーム化回路106は、フレームに含まれる各スロットを分解して、基準シンボルを応答シンボル生成回路122に出力し、送信タイミングシンボルを送信タイミング制御回路120に出力する。また、データシンボルをデインタリーブ回路108に出力する。

【0093】応答シンボル生成回路122は、入力され

た基準シンボルから図示しない変換テーブルなどを参照して、応答シンボルを生成又は基準シンボルをそのまま応答シンボルとして、フレーム化回路116に出力する。

【0094】送信タイミング制御回路120は、送信タイミングシンボルが入力されると、該シンボルが示す遅延時間に該当するフレーム化回路116の図示しない可変遅延回路を構成するシフトレジスタのFFの出力を選択するよう選択信号を出力する。図10に示すように、送信タイミング制御前は、下りフレームのスロット#0の送信タイミングシンボルには0が設定されているので、初段のFFの出力を選択するよう選択信号を出力する。

【0095】フレーム化回路116は、各スロットのデータシンボルの最後のビットを入力して、固定遅延量（例えば、0.5スロット）時間後に、図5に示すように、パイロットシンボル、応答シンボルなどの制御シンボルをスロットに設定して、制御シンボルに後続するデータシンボルをスロットに設定して、可変遅延回路に出力する。

【0096】可変遅延回路は、選択信号に従って、スロットを遅延させて、変調回路118に出力する。下りフレームのスロット#0の送信タイミングシンボルには0が設定されているので、遅延回路は、遅延させずにスロットを変調回路118に出力する。変調回路118は、データ変調及び拡散変調をして、上りのスロット#0を無線部86、送受信増幅部84及びアンテナ82を通して、BS20#jに送信する。

【0097】MS(i)からの上り信号のスロット#0は、MS(i)から送信されてから $T_{RX}(i)$ 時間後にBS20#jのアンテナ22で受信される。即ち、下り信号のスロット#0が送信されてから、 $(T_{tx}(i) + \text{固定遅延量} + T_{RX}(i))$ 時間後に、BS20#jのアンテナ22で受信される。

【0098】BS20#jのアンテナ22で受信された上り信号のスロット#0は、送受信増幅部24#j、無線部26#jを通して、ベースバンド信号処理部28#jに入力される。復調回路40#i、受信信号の逆拡散、チップ同期、データ復調をして、デフレーム化回路42#iに出力する。

【0099】デフレーム化回路42#iは、スロットを分解して、応答シンボルに該当する領域からシンボルを取り出して、応答シンボルならば、応答シンボルタイミング信号を有効にして、MS(i)伝搬時間測定回路62#iの該当するJKFF64#iに出力する。

【0100】JKFF64#iは、応答シンボルタイミング信号が有効になると、カウンタ66#iのイネーブル端子にディセーブル信号を出力する。カウンタ66#iは、イネーブル端子がディセーブルになると、カウンタ動作をストップする。

【0101】これにより、カウンタ66#iからは、基準シンボル送信タイミング信号が有効になってから応答シンボル受信タイミング信号が有効になるまでの時間のマスタクロック数が出力される。

【0102】MS(i)送信タイミング遅延量メモリ回路70#iは、MS(i)の伝搬時間が測定されるまでは、固定遅延量（例えば0）を出力する。基準伝搬遅延時間検出回路68は、MS(i)伝搬時間測定回路62#iより測定された伝搬時間から送信タイミング遅延量を除去して、MS(i)とBS20#jの送信タイミング制御がされていない純粋な伝搬時間 $(T_{tx}(i) + T_{RX}(i))$ 又は $(T_{tx}(i) + T_{RX}(i) + \text{固定遅延量})$ を算出する。

【0103】そして、各MS(i)の純粋な伝搬時間を比較して、最大伝搬時間もしくは最大伝搬時間 $+\alpha$ （全体で1スロット以下）を基準伝搬時間 T_{dref} として、算出し、MS(i)送信タイミングシンボル算出回路72#iに出力する。

【0104】MS(i)送信タイミングシンボル算出回路72#iの減算器74#iは、MS(i)伝搬遅延時間測定回路62から出力される伝搬時間から送信タイミング遅延量を除去して、純粋な伝搬時間 $(T_{tx}(i) + T_{RX}(i))$ 又は $(T_{tx}(i) + T_{RX}(i) + \text{固定遅延量})$ を算出する。減算器76#iは、基準伝搬時間 T_{dref} から純粋な伝搬時間を減算して、MS(i)送信タイミング信号として、フレーム化回路52#iに出力する。

【0105】フレーム化回路52#iは、送信タイミング制御回路56から基準シンボル及びMS(i)送信タイミングシンボルが入力されると、スロットに基準シンボル及び送信タイミングシンボル等の制御シンボルを設定してから、データシンボルを設定して、変調回路54#iに出力する。

【0106】例えば、上り信号のスロット#0に設定された基準シンボルを送信してから、次の下り信号のスロット#1の間に、MS(i)から基準シンボルに対する応答シンボルが設定された上りスロット#0が受信されるので、下り信号のスロット#2以降では、送信タイミングシンボルには、固定遅延量（=0）ではなく、送信タイミング制御回路56により送信タイミング制御された遅延量が設定される。

【0107】送信タイミングシンボル及び基準シンボルが設定された上りスロットは、変調回路54#i、無線部26#j及び送受信増幅部24#jを通して、アンテナ22よりMS(i)に送信される。

【0108】下り信号のスロットの送信タイミングシンボルは、MS(i)のデフレーム化回路106で検出され、送信タイミング制御回路120に出力される。送信タイミング制御回路120は、送信タイミングシンボルが入力されると、フレーム化回路116を制御して、送

信タイミングシンボルで指示される遅延量だけスロットを遅延させて、アンテナ82より上り信号のスロットをBS20#jに送信する。

【0109】送信タイミング制御された上り信号のスロットは、BS20#jで受信される。上り信号のスロットは、図10に示すように、下り信号のスロットが送信されてから、固定遅延量+送信タイミング遅延量($T_{dref} - T_{tx}(i) - T_{RX}(i) + MS(i)$)の純粹の伝搬時間($T_{tx}(i) + T_{RX}(i)$) (=固定遅延量+ T_{dref})後に、アンテナ22で受信される。

【0110】この結果、全ての $MS(i)$ からの上り信号は、同時にアンテナ22で受信される。この上り信号のスロットが復調回路40#iに入力されて、逆拡散が行われるが、全ての $MS(i)$ の上り信号が同時に受信されるので、逆拡散タイミングは同時になり干渉を生じることが無くなる。

【0111】以降も継続して、各 $MS(i)$ の純粹な伝搬遅延時間に従って、送信タイミング制御が行われるので、全ての $MS(i)$ の逆拡散タイミングが同時になる。

【0112】第2実施形態

図11は、本発明の第2実施形態による送信タイミング制御回路の構成図であり、図6中の構成要素と実質的に同一の構成要素には同一の符号を附している。図11の送信タイミング制御回路が図6の送信タイミング制御回路と異なる点は、基準シンボルをフレーム内の各スロット#i($i=0\sim15$)で異なるようにしたこと、応答シンボルが基準シンボルに対応する期待シンボルに一致する時に、応答シンボル受信タイミング信号を有効にするようにしたことである。

【0113】図12は、基準シンボル(4ビット)の一例を示す図である。図12に示すように、各スロット#i($i=0\sim15$)毎に異なる基準シンボルが与えられている。このように、スロット毎に異なる基準シンボルを与えることにより、基準シンボルに対応する応答シンボルをスロット毎に異なるように付与することができ、受信シンボルが、基準シンボルに対応する応答シンボルであることが誤りなく判別できて、伝搬時間測定の誤りを防止することができるからである。

【0114】例えば、応答シンボルが全てのスロットで同じであれば、応答シンボルが伝送エラーにより受信できなかった場合、その後、正しく受信できた応答シンボルがどの基準シンボルに対応するものか判別できずに、伝搬時間の測定を誤る恐れがあるから。この基準シンボル及び基準シンボルに対応する応答シンボルは、例えば、基準シンボル発生回路60中のROMなどのメモリに格納しておく。

【0115】図11に示すように、図6の送信タイミング制御回路にゲート回路130#iを付加したことが図6と異なる。ゲート回路130#iは、応答シンボルが

デフレーム化回路より入力されると、基準シンボル生成回路60から一定時間前のスロットに設定した基準シンボルに対応する応答シンボルを取得する。

【0116】ゲート回路130#iは、基準シンボルから対応する応答シンボルを期待応答シンボルとして、期待応答シンボルと入力された応答シンボルとを比較して、一致すれば、応答シンボル受信タイミング信号を有効にして、該当するJKFF64#iに出力する。

【0117】JKFF64#iは、応答シンボル受信タイミング信号が有効になると、カウンタ66#iのイネーブル端子にディセーブル信号を出力する。カウンタ66#iは、イネーブル端子がディセーブルになると、カウント動作をストップする。このように、応答シンボルと期待シンボルが一致した場合のみ、カウンタ66#iを停止して、伝搬時間を測定するので、伝搬時間の測定を誤ることが無くなる。

【0118】第3実施形態

図13は、本発明の第3実施形態による送信タイミング制御回路の構成図であり、図6中の構成要素と実質的に同一の要素には同一の符号を附している。

【0119】図13の送信タイミング制御回路が図6の送信タイミング制御回路と異なる点は、最大伝搬時間メモリ回路140に過去の最大伝搬時間をメモリしておき、全ての $MS(i)$ の純粹な伝搬時間の最大の時間が過去の最大伝搬時間よりも長い場合は、最大伝搬時間を更新することである。但し、最大伝搬時間が所定の時間(例えば、1.5スロット)を越えないようにする。これは、ある $MS(i)$ 伝搬時間測定回路62#iが伝搬時間の測定を誤った恐れがあるからである。

【0120】最大伝搬時間メモリ回路140は、 $MS(i)$ 伝搬時間測定回路62#iが測定した伝搬時間から送信タイミング遅延量を除去して、 $MS(i)$ とBSとの間の送信タイミングが制御されていない純粹な伝搬時間を算出する。そして、全ての $MS(i)$ ($i=1\sim n$)の純粹な伝搬時間の最大値が過去の記憶されている伝搬時間よりも長い場合には、データを最大値に更新する共に、更新した伝搬時間を基準伝搬時間として出力する。

【0121】全ての $MS(i)$ の純粹な伝搬遅延時間よりも過去の記憶されている伝搬遅延時間よりも短いときは、データを更新せずに、過去の記憶されている伝搬時間を基準伝搬時間として出力する。

【0122】尚、最大伝搬時間メモリ回路140には、BS20#jが $MS(i)$ と通信するエリアであるゾーン内のBS20#jから離間する位置に $MS(i)$ が位置したとしたときに伝搬時間を予め算出しておき、その伝搬時間から最大伝搬時間を固定的に記憶しておいてもよい。

【0123】第4実施形態

図14は、本発明の第4実施形態による $MS(i)$ 送信

10

20

30

40

50

タイミングシンボル算出回路の構成図である。

【0124】図14のMS(i)送信タイミングシンボル算出回路は、直前のMS(i)の送信タイミング遅延量からのずれの方向(遅らす又は進める)とずれ量とを送信タイミングシンボルとした点で、MS(i)とBS間の純粹の伝搬時間と基準遅延時間との差分の遅らせる時間を送信タイミングシンボルとした図7のMS(i)送信タイミングシンボル算出回路72#iと異なる。

【0125】図15は、送信タイミングシンボルの構成例である。図15に示すように、送信タイミングシンボルは、直前の送信遅延量からのずれの方向を示す符号ビット(例えば、「0」が直前よりも遅延させる、「1」が直前よりも進ませる)とずれ量を示す遅延ビットから構成される。これにより、送信タイミングシンボルのビット数を低減することができ、スロットを有効に使用することができる。

【0126】図16は、本発明の第4実施形態によるMS(i)中のベースバンド信号処理部の構成図であり、図9のベースバンド信号処理部と実質的に同一の構成要素には同一の符号を附している。

【0127】図16のベースバンド信号処理部は、直前の送信タイミング遅延量を送信タイミング遅延量メモリ回路162にメモリすること、加算器164によりデフレーション化回路106から出力される送信タイミングシンボルと送信タイミング遅延量メモリ162にメモリされた直前の送信遅延量とを加算して、送信タイミング遅延量を算出するようにしたことが、図9のベースバンド信号処理部と異なる。

【0128】以下、図14及び図15の動作説明をする。

【0129】図14中の比較回路150#iは、MS(i)伝搬時間と基準伝搬時間信号とを比較して、図6中のMS(i)伝搬遅延時間測定回路62#iと同様に構成された回路から出力されたMS(i)伝搬時間が基準伝搬時間検出回路68から出力された基準伝搬時間よりも小さいときは、例えば、「0」を出力し、MS(i)伝搬時間が基準伝搬時間よりも大きいときは、例えば、「1」を出力する。差分抽出回路152#iは、 $|MS(i)伝搬時間 - 基準伝搬時間|$ を算出する。

【0130】送信タイミングシンボルフレーム化回路154は、比較回路150#iの出力信号を図15に示す符号ビットに設定する。そして、差分抽出回路152#iの出力ビット値が、図15に示す遅延ビットの最大値よりも大きいとき、その最大値を遅延ビットに設定する。

【0131】また、出力ビット値が、遅延ビットの最大値以下ならば、差分抽出回路152#iの出力ビットを遅延ビットに設定して、符号+遅延ビットをMS(i)送信タイミングシンボル信号として、図3中のフレーム化回路52#iと同様に構成される回路に出力する。

【0132】加算器156#iは、MS(i)送信タイミング遅延量とMS(i)送信タイミングシンボル信号とを加算して、加算結果を、MS(i)送信タイミング遅延量メモリ回路70#iに書き込む。

【0133】図16中の送信タイミング遅延量メモリ回路162には、送信タイミング制御される前は0、送信タイミング制御されると、直前の送信タイミング遅延量がメモリされている。

【0134】加算器164は、デフレーション化回路106より入力される図15で示される符号ビットと遅延ビットからなる送信タイミングシンボルと、送信タイミング遅延量メモリ回路162から出力される前回の送信タイミング遅延量とを加算して、今回の送信タイミング遅延量を送信タイミング遅延量メモリ回路162及び送信タイミング制御回路120に出力する。

【0135】送信タイミング遅延量メモリ回路162は、今回の送信タイミング遅延量をメモリする。送信タイミング制御回路120は、加算器164から入力された送信タイミング遅延量に従って、フレーム化回路116により生成されるスロットを遅延させる。このようにして、遅延ビットの単位で、徐々に送信制御され、最終的には、全てのMS(i)からの上りスロットが同時に受信される方向に収束する。これにより、送信タイミングシンボルのビット数を少なくすることができ、スロットを有効に使用することができる。

【0136】尚、本実施形態では、遅延ビットを使用する送信タイミングシンボルとしたが、遅延ビットを使用せずに符号ビットのみで送信タイミングシンボルとすることも可能である。

【0137】この場合は、符号ビットが「0」のとき、前回よりも1マスタクロックだけ遅延させて送信し、符号ビットが「1」のとき、前回よりも1マスタクロックだけ早く送信するようにすればよい。

【0138】また、送信タイミング遅延量メモリ回路162には、符号ビットが「0」のとき、1加算して、符号ビットが「1」のとき、1減算するようにする。これにより、送信タイミングシンボルのビット数が最小になりスロットを有効に使用することができる。

【0139】第5実施形態

図17は、本発明の第5実施形態による送信タイミング制御回路の構成図であり、図6中の構成要素と実質的に同一の構成要素には同一の符号を付している。図17の送信タイミング制御回路は、図3中の復調回路40#iにおける各MS(i)からの上り信号の逆拡散タイミングの時刻からMS(i)の伝搬時間を測定するが、図4の送信タイミング制御回路は、基準シンボル送信タイミングと応答シンボル受信タイミングからMS(i)の伝搬時間を測定する点で異なる。ここで、逆拡散タイミングとは、MS(i)からの上り信号が拡散された拡散コードの所定のビット位置、例えば、拡散コードの先頭ビ

ットの位置が検出されたタイミングをいう。

【0140】図17に示すように、送信タイミング制御回路は、MS(i)逆拡散タイミングメモリ回路170#i(i=1~n)、基準逆拡散タイミング検出回路172、MS(i)送信タイミング遅延量メモリ回路70#i及びMS(i)送信タイミングシンボル算出回路72#iを有する。

【0141】MS(i)逆拡散タイミングメモリ回路170#iは、図3の復調回路40#iと同様に構成される回路から入力されたMS(i)逆拡散タイミング信号が有効になった逆拡散タイミング時刻をメモリする。逆
10 拡散タイミング時刻は、BS20#jが有する時計の時刻などである。

【0142】基準逆拡散タイミング検出回路172は、MS(i)逆拡散タイミングメモリ回路170#iにメモリされた逆拡散タイミング時刻とMS(i)送信タイミング遅延量メモリ70#iにメモリされたMS(i)送信タイミング遅延量から、MS(i)とBS20#jとの間の送信タイミング制御されていない純粋な逆拡散
20 タイミング時刻を求める。そして、これらの逆拡散タイミング時刻の最も遅い時刻を基準逆拡散タイミング時刻とする。

【0143】MS(i)送信タイミングシンボル算出回路174#iは、MS(i)逆拡散タイミングメモリ回路170#iにメモリされた逆拡散タイミング時刻と、基準逆拡散タイミング時刻とから、基準逆拡散タイミング時刻とMS(i)とBS20#jとの間の送信タイ
30 ミング制御されていない純粋な逆拡散タイミング時刻との差分を求めて、MS(i)送信タイミングシンボル信号として出力する。

【0144】図18は、下り信号(BS→MS)のフレーム、スロットの構成例を示す図である。図18の各スロットは、図4に示したスロットから基準シンボルを設定する領域を削除した点が異なる。

【0145】図19は、上り信号(MS→BS)のフレーム、スロットの構成例を示す図である。図19の各スロットは、図5に示したスロットから応答シンボルを設定する領域を削除した点が異なる。

【0146】以下、図17の送信タイミング制御回路の動作説明をする。

【0147】図20は、図17の送信タイミング制御回路のタイムチャートである。

【0148】図2と同様に構成されるBS20#jは、送信タイミング制御がされるまでの間は、図18に示す下りの各スロットの送信タイミングシンボルに固定遅延量を示す値(例えば、0)を設定して、各MS(i)に同時に下りスロットを送信する。

【0149】図8と同様に構成されるMS(i)は、下りのスロットを受信した後、図20のように構成した各上りスロットを、図18に示すように、送信タイミン
50

グシンボルが示す遅延量だけ遅延して、BS20#jに送信する。

【0150】この時点では、送信タイミングシンボルが固定遅延量を示す値なので、MS(i)は、下りスロットを受信した後、固定遅延量だけ遅延して、BS20#jに送信する。

【0151】図3中のBS20#j中の復調回路40#iは、MS(i)からの上り信号を逆拡散して、逆拡散タイミングを検出すると、MS(i)逆拡散タイミング信号を有効にして、図17中のMS(i)逆拡散タイ
10 ミングメモリ回路170#iに出力する。図17中のMS(i)逆拡散タイミングメモリ回路170#iは、MS(i)逆拡散タイミング時刻をメモリする。

【0152】MS(i)逆拡散タイミング時刻 $t(i)$ は、BS20#jが上りスロットを送信した時刻 T_0 + 下り伝搬時間 $T_{tx}(i)$ + 固定遅延量 + 上り伝搬時間 $T_{rx}(i)$ + 上りスロットの先頭ビットから拡散コードの先頭コードのビット位置までの時間となる。

【0153】基準逆拡散タイミング検出回路172は、MS(i)逆拡散タイミング時刻とMS(i)送信タイミング遅延量とから、MS(i)とBS20#jとの間の送信タイミング制御されていない純粋な逆拡散タイ
20 ミング時刻を求める。そして、これらの純粋な逆拡散タイミング時刻の最も遅い時刻を基準逆拡散タイミング時刻 T_{dref} とする。

【0154】MS(i)送信タイミングシンボル算出回路174#iは、MS(i)逆拡散タイミングメモリ回路170#iにメモリされた逆拡散タイミング時刻とMS(i)送信タイミング遅延量から純粋な逆拡散タイ
30 ミング時刻を求める。

【0155】そして、基準逆拡散タイミング時刻と純粋な逆拡散タイミング時刻との差分時間 $\alpha(i)$ を求めて、MS(i)送信タイミングシンボル信号として図3のフレーム化回路52#iと同様に構成された回路に出力すると共に、MS(i)送信タイミング遅延量メモリ回路70#iに出力する。MS(i)送信タイミング遅延量メモリ回路70#iは、差分時間 $\alpha(i)$ をメモリする。

【0156】この差分時間は、送信タイミング制御されていないMS(i)の中で最も遅く到達する上り信号の逆拡散タイミング時刻と各MS(i)の上り信号の逆拡散タイミングとの差分時間である。

【0157】図3のフレーム化回路52#iと同様に構成される回路は、MS(i)送信タイミングシンボル信号を図18で示されるスロットの送信タイミングシンボルに設定して、パイロットシンボルなどの制御シンボルやデータシンボルと共に、上り信号をMS(i)に送信する。

【0158】MS(i)は、上り信号を受信した後、固定遅延量 + 送信タイミングシンボルで示される遅延量だ

け、下りスロットをBS20#jに送信する。BS20#i中の復調回路40#iは、MS(i)からの上り信号を逆拡散する。

【0159】この時、MS(i)からの上り信号はMS(i)とBS20#jとの間の伝搬時間に従って、最も遅くBS20#jに到達する上り信号と同時に到達するように、送信制御されているので、全てのMS(i)の到達時刻は同じになり、逆拡散タイミング時刻は全て同じになって干渉を生ずることがない。

【0160】第6実施形態

図21は、本発明の第6実施形態による送信タイミング制御回路の構成図であり、図6中の構成要素と実質的に同一の構成要素には同一の符号を付している。図21の送信タイミング制御回路は、図3中の復調回路40#iにおけるMS(i)からの上り信号の逆拡散タイミング信号がMS(i)伝搬時間測定回路62#iに入力されると、カウンタ66#iのカウント動作をストップする。

【0161】一方、図6の送信タイミング制御回路は、応答シンボルのタイミング信号がMS(i)伝搬時間測定回路62#iに入力されると、カウンタ66#iのカウント動作をストップする点で図21の送信タイミング制御回路と異なる。

【0162】図22は、図21の送信タイミング制御回路のタイムチャートである。

【0163】MS(i)逆拡散タイミング信号は、送信タイミング制御されていない場合、MS(i)とBS20#jとの間の伝搬時間だけ遅れる。そこで、MS(i)伝搬時間測定回路62#iは、下りスロットの所定のビット位置、例えば、スロットの先頭のタイミングで、送信タイミング信号を有効にして、カウンタ66#iをリセットして、カウント動作を開始する。

【0164】MS(i)逆拡散タイミング信号が有効になると、カウンタ66#iのカウント動作をストップして、MS(i)伝搬時間を測定する。その他の点については、図6と実質的に同一なので説明を省略する。

【0165】第7実施形態

図23は、本発明の第7実施形態による送信タイミング制御回路の構成図であり、図13中の構成要素と実質的に同一の構成要素には同一の符号を付している。図23の送信タイミング制御回路は、第6実施形態と同様に、図3中の復調回路40#iにおけるMS(i)からの上り信号の逆拡散タイミング信号がMS(i)伝搬時間測定回路62#iに入力されると、カウンタ66#iのカウント動作をストップする点で、図13の送信タイミング制御回路と異なる。

【0166】図23中のMS(i)伝搬時間測定回路62#iの動作は、図21中のものと実質的に同一なので説明を省略する。また、他の点についても、図21中のものと実質的に同一なので説明を省略する。

【0167】

【発明の効果】以上説明したように、本発明によれば、BSがMSからの上り信号を同時に受信できるようMS側で遅延させて送信するので、BSにおいて、各MSの受信信号が干渉することがない。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の基地局の実施形態を示す図である。

【図3】図2中のベースバンド信号処理部の構成図である。

【図4】下り信号（基地局→移動局）のフレーム、スロットの構成例を示す図である。

【図5】上り信号（移動局→基地局）のフレーム、スロットの構成例を示す図である。

【図6】本発明の第1実施形態による図3中の送信タイミング制御回路の構成図である。

【図7】図6中のMS(i)送信タイミングシンボル算出回路の構成図である。

【図8】本発明の移動局の実施形態を示す図である。

【図9】本発明の第1実施形態による図8中のベースバンド信号処理部の構成図である。

【図10】本発明の第1実施形態のタイムチャートである。

【図11】本発明の第2実施形態による送信タイミング制御回路の構成図である。

【図12】基準シンボル（4ビット）の一例を示す図である。

【図13】本発明の第3実施形態による送信タイミング制御回路の構成図である。

【図14】本発明の第4実施形態によるMS(i)送信タイミングシンボル算出回路の構成図である。

【図15】送信タイミングシンボルを示す図である。

【図16】本発明の第4実施形態によるMS(i)中のベースバンド信号処理部の構成図である。

【図17】本発明の第5実施形態による送信タイミング制御回路の構成図である。

【図18】下り信号（基地局→移動局）のフレーム、スロットの構成例を示す図である。

【図19】上り信号（移動局→基地局）のフレーム、スロットの構成例を示す図である。

【図20】図17の送信タイミング制御回路のタイムチャートである。

【図21】本発明の第6実施形態による送信タイミング制御回路の構成図である。

【図22】図21の送信タイミング制御回路のタイムチャートである。

【図23】本発明の第7実施形態による送信タイミング制御回路の構成図である。

【符号の説明】

2#i (i=1~n) MS

- 4 第 1 送信手段
6 受信手段
8 第 1 算出手段

- | | |
|-----|----------|
| 1 0 | 第 2 算出手段 |
| 1 2 | 第 2 送信手段 |

【図 1】

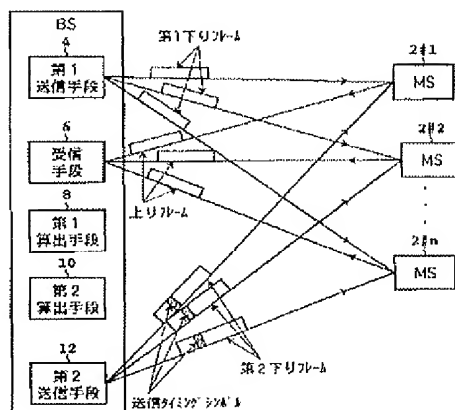
【图 2】

【図 4】

本発明の原理図

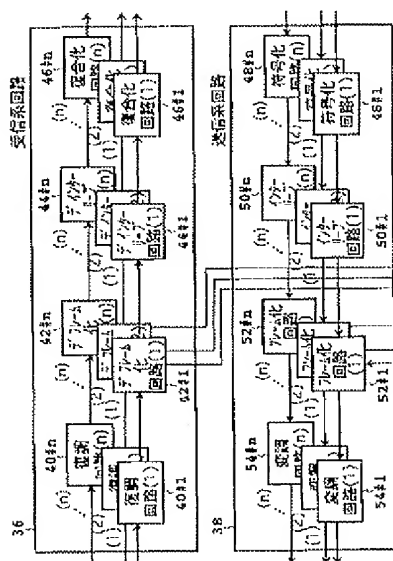
本発明の基地局の実施形態

下り信号（基地局→移動局）のフレーム、
スロットの構成例



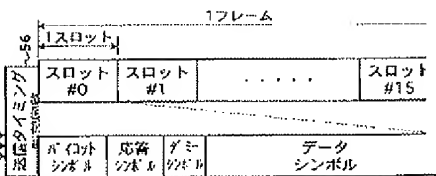
【圖 3】

図 2 中のベースバンド信号処理部



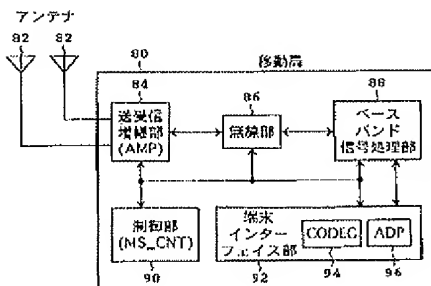
【圖 5】

上り信号（移動局→基地局）のフレーム、
スロットの構成例



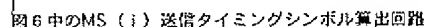
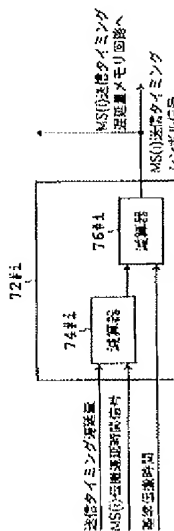
【圖 8】

本発明の移動局の実施形態



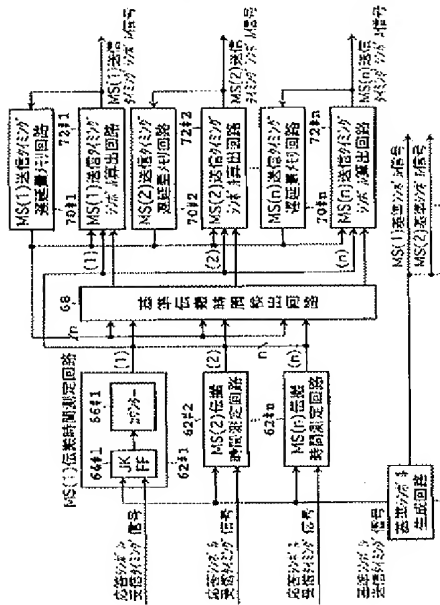
【圖 35】

送信タイミングシンボル



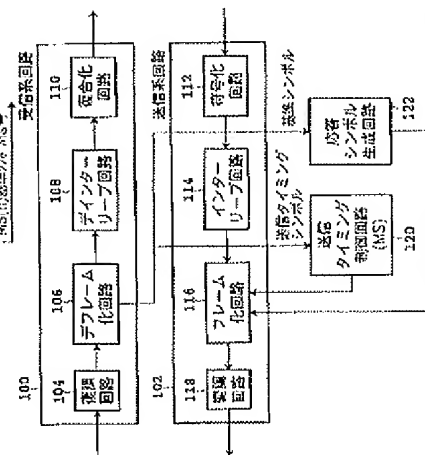
【図 6】

本発明第 1 実施形態による
図 3 中の送信タイミング制御回路



【図 9】

本発明の第 1 実施形態による
図 8 中のベースバンド信号処理部



【図 12】

基準シンボル (4 ビット) の一例

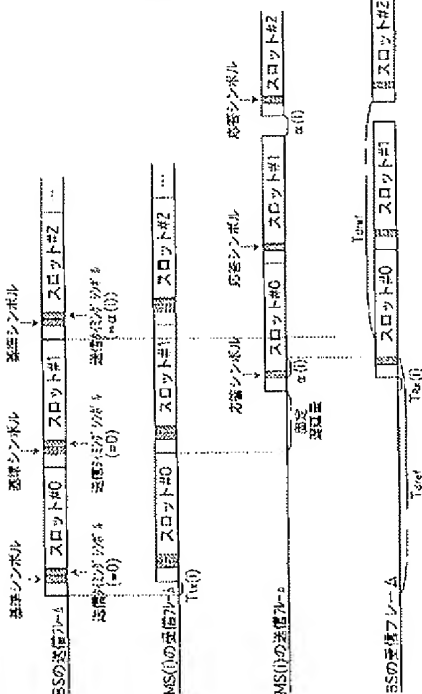
スロット	基準シンボル
0	0000
1	0111
2	0010
3	0101
4	0100
5	0011
6	0110
7	0001
8	1000
9	1111
10	1010
11	1101
12	1100
13	1011
14	1110
15	1001

【図 14】

本発明の第 4 実施形態による
MS (1) 送信タイミングシンボル算出回路

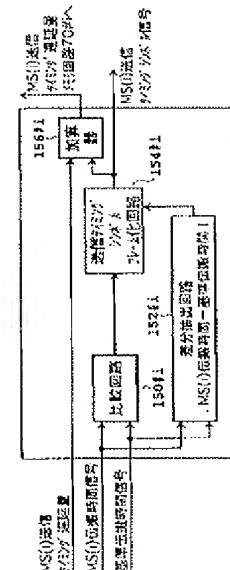
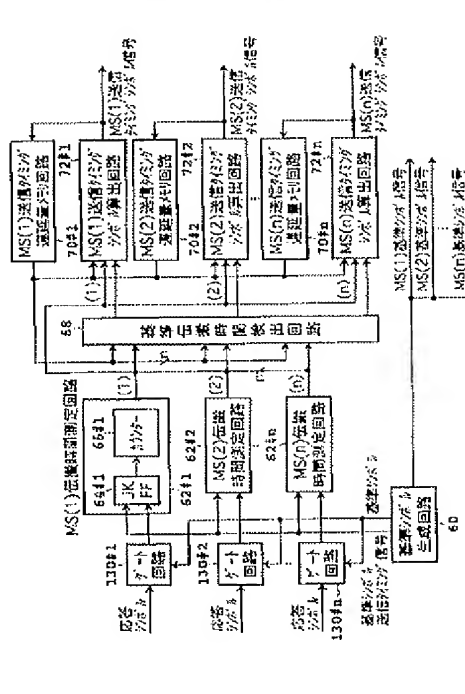
【図 10】

本発明の第 1 実施形態のタイムチャート



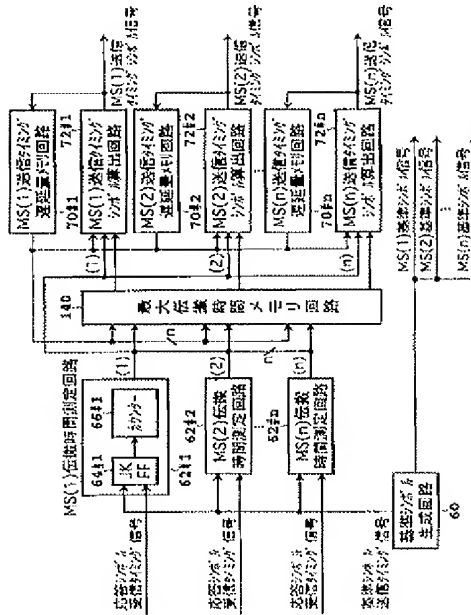
【図 11】

本発明第 2 実施形態による送信タイミング制御回路



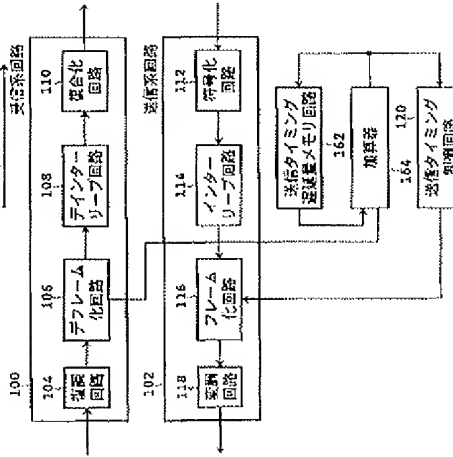
【図13】

本発明第3実施形態による送信タイミング制御回路



【図16】

本発明の第4実施形態による
MS(1)中のベースバンド信号処理部

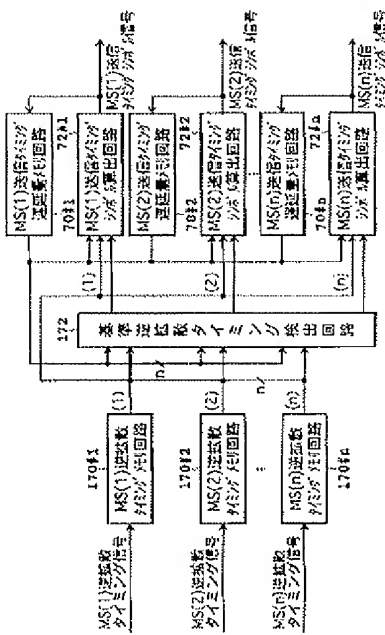


【図19】

上り信号（移動局→基地局）のフレーム、
スロットの構成例

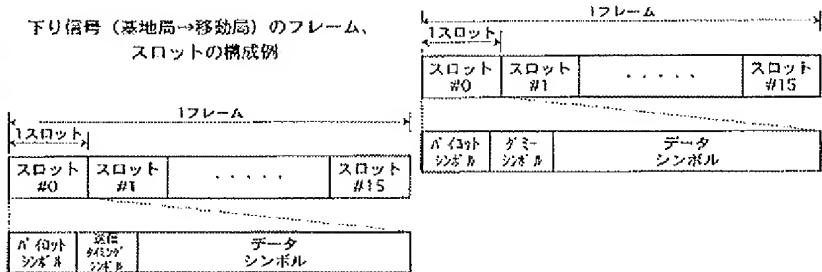
【図17】

本発明第5実施形態による送信タイミング制御回路



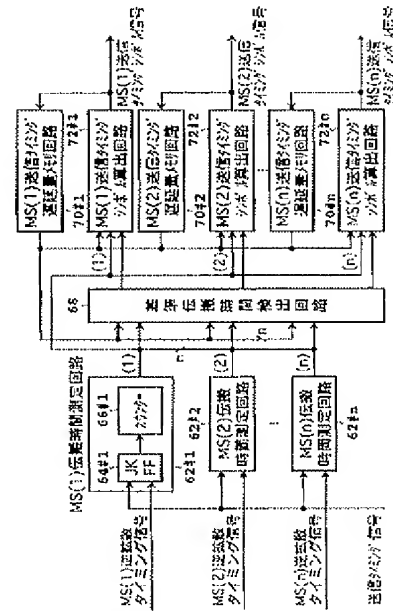
【図18】

下り信号（基地局→移動局）のフレーム、
スロットの構成例



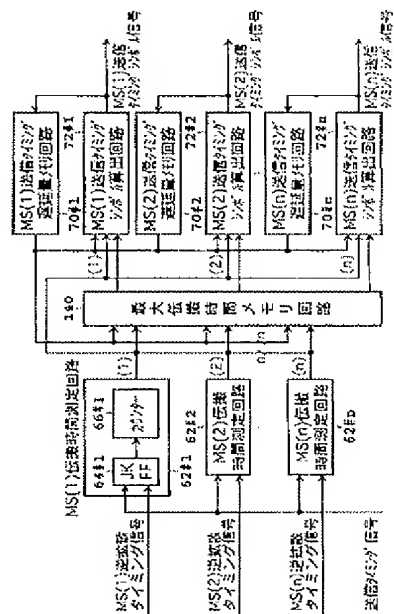
【図 2 1】

本発明第6実施形態による送信タイミング制御回路



【圖 23】

本発明第7実施形態による送信タイミング制御回路



フロントページの続き

Fターム(参考) 5K022 EE02 EE21 EE36
5K028 AA02 BB06 CC02 CC05 DD01
DD02 NN43 SS24
5K047 AA11 BB01 GG34 HH15 JJ08
MM02 MM11 MM24 MM56
5K067 AA03 BB04 BB21 CC00 CC10
DD25 EE02 EE10 EE22 EE72
GG01 GG11 HH00 HH22 HH23 10